

A INTEGRAÇÃO da filtragem de alta-frequência no sistema de Interface Analógica (IA) revela-se cada vez mais necessária face ao constante crescimento do número de aplicações em comunicações de alta-velocidade, com o respectivo processamento de sinal, assim como aos correspondentes avanços na tecnologia de Integração de Circuitos (IC). Apesar de as IA's representarem apenas uma pequena parte dos sistemas integrados, impõem no entanto as suas limitações principais em termos de velocidade e desempenho. Neste sentido, o projecto de IA's é um constante desafio devido à contínua redução das tensões de alimentação e ao aumento da velocidade de operação, assim como às condições cada vez mais ruidosas da parte digital, devido ao aumento da complexidade do núcleo de processamento digital de sinal (DSP).

Este trabalho apresenta uma técnica de interpolação (multiritmo) com implementação através de circuitos com condensadores comutados (SC) para filtragem de muito alta frequência (acima das centenas de MHz) com vantagens inerentes à redução da velocidade do conversor digital-analógico e do núcleo de processamento digital de sinal (DSP) juntamente com a simplificação do filtro contínuo posterior ("smoothing filter").

A primeira parte deste trabalho propõe novas arquitecturas (polifásicas) de interpoladores com condensadores comutados, que eliminam com elevada eficiência os efeitos tradicionais de amostragem-e-retenção ("sample-and-hold") devidos ao ritmo de amostragem mais lento, com a optimização da sensibilidade do circuito, os requisitos em termos de velocidade e do número de componentes activos. Imperfeições físicas relacionadas com a tecnologia de integração utilizada e com a própria implementação em circuito integrado são também investigadas de forma detalhada, sendo igualmente propostas novas técnicas avançadas de projecto de circuitos, que permitem reduzir essas limitações, como por exemplo, compensações, no ganho e tensão de desvio ("offset"), assim como calibrações devidas ao desemparelhamento dos componentes ("mismatch").

A segunda parte foca essencialmente o projecto óptimo, efectuado de acordo com as necessidades das especificações ("tailor-made"), e a implementação numa tecnologia CMOS de 0.35 μm , de 2 filtros interpoladores com condensadores comutados: um com filtragem na banda-de-base e o outro com operação de translação na frequência. O primeiro é um filtro interpolador com 3 andares e um factor de aumento na frequência de 8, com 5.5 MHz de largura-de-banda e 108 MHz de frequência de amostragem na saída, para 1 sistema de vídeo digital NTSC/PAL CCIR 601, com 3 V de tensão de alimentação. O outro protótipo é um filtro interpolador passa-banda, para um sistema de Síntese Directa-Digital de Frequência (DDFS) para aplicações de comunicações sem-fios ("wireless"), com factor de interpolação igual a 4, uma translação para cima na frequência ("up-translation") de sinais de entrada entre 22-24MHz (a uma frequência de amostragem de 80MHz) para sinais de saída entre 56-58MHz (a uma frequência de amostragem de 320MHz), e com tensão de alimentação de 2.5 V, centrado a 57 MHz e com resposta impulsiva finita ("Finite Impulse Response - FIR") com a duração de 15. Os resultados experimentais apresentam uma concordância plena com as expectativas teóricas e permitem validar igualmente os resultados de optimização e simulação, ao nível da arquitectura, do circuito e da implantação ("layout"), resolvendo de forma elegante diferentes problemas e desafios de projecto, a tão elevada frequência de operação. O filtro protótipo integrado opera até 400 MHz com um desempenho muito satisfatório, e apresenta, até ao momento, a maior gama dinâmica, com a mais elevada ordem do filtro e da frequência central para a mais baixa tensão de alimentação, quando comparado com os filtros CMOS com condensadores comutados de alta-frequência mais avançados e alguma vez já relatados.