

摘要

随着半导体集成电路技术的不断进步，将高频模拟滤波集成在系统的模拟前端接口(Analog Front End-AFE)的需要显得越来越紧迫，尤其在当今迅速发展的高速通信和信号处理应用中。尽管模拟前端接口只是混合信号系统芯片(Mixed-Signal System on Chip)的一个较小的部份，但它却往往是制约整个系统的速度与性能的提高的瓶颈。特别是随着电源电压越降越低而工作频率却越升越高的发展趋势，以及系统芯片中数字信号处理(DSP)比重不断增大所带来数字噪声剧增，模拟前端接口的设计也越来越具挑战性。

本论文提出一种用于超高频滤波(>百兆赫兹)的多(抽样)率采样数据(sampled-data)内插技术及其开关电容集成电路的实现。该技术不仅能降低数-模转换器及数字信号处理核的速度，同时还能简化后处理连续时间平滑滤波器。

本论文第一部分首先提出了几种不同的基于多相结构新型多率开关电容内插滤波技术，这些新技术不但能有效地抑制在传统升频滤波系统中所固有的由电路输入端低率采样保持过程所产生的非线性幅频失真，而且对电路所需有源器件的灵敏度、速度及数目需求都进行了优化。另外，本文还对该技术在电路实现过程中所遇到的集成电路技术的物理非理想性做了全面透彻的理论分析与研究，并提出一系列的电路改进技术，如增益、直流失调、元件失配以及自动补偿结构等。

按照以上所提出的理论技术，本论文第二部分集中对工作在基带及频带转移模式两种情况下的开关电容内插滤波器在 0.35 微米的 CMOS 工艺上经过优化的电路设计及实现分别作了详细的阐述。基带模式的样本电路实现了用于基于 CCIR601 标准下的 NTSC/PAL 数字视讯中的具有 5.5MHz 带宽、3 级(23+8+6 抽头)及 8 倍升频至输出 108MHz 的低通内插滤波；第二个样本芯片实现了应用在无线通信中直接式数字频率合成(DDFS)系统的一带通内插滤波。该电路工作在 2.5V 电源电压并实现了 15 抽头、57MHz 中心频率的有限冲激响应(FIR)带通滤波，同时还以 4 倍升频及频带转移技术实现将采样在 80MHz 的 22-24MHz 带宽输入信号转移到采样在 320MHz 的 56-58MHz 带宽的输出信号。

样本芯片的测试结果与理论值完全一致，这成功地验证了为解决电路在高频工作的设计问题所提出的一系列内插滤波的系统结构、集成电路及版图优化技术的有效性。

该滤波器芯片不仅能以出色的性能有效地工作至 400MHz，并且与目前已发表的 CMOS 高频开关电容滤波器相比较，具有最高的工作频率、最高的滤波器阶数、最高的中心频率及最高的动态范围同时还具有最低的工作电源电压。